

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-256356
 (43)Date of publication of application : 11.09.1992

(51)Int.CI. H01L 27/092
 H01L 29/784

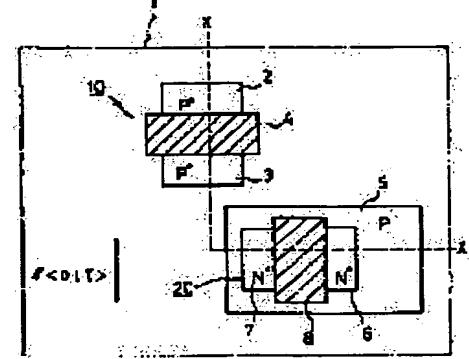
(21)Application number : 03-017916 (71)Applicant : NISSAN MOTOR CO LTD
 (22)Date of filing : 08.02.1991 (72)Inventor : KURAISON TORONNAMUCHIYAI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enhance a current driving ability against a load and to reduce the area when the title device is applied to a CMOS circuit.

CONSTITUTION: The following are featured: the surface of a semiconductor substrate 1 is a (011) plane; and a main current component which flows in a P-channel MOSFET 10 is perpendicular to a main current component which flows in an N-channel MOSFET 20.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/092 29/784		7342-4M 8422-4M	H 01 L 27/08 29/78	3 2 1 A 3 0 1 Q

審査請求 未請求 請求項の数 2 (全 6 頁)

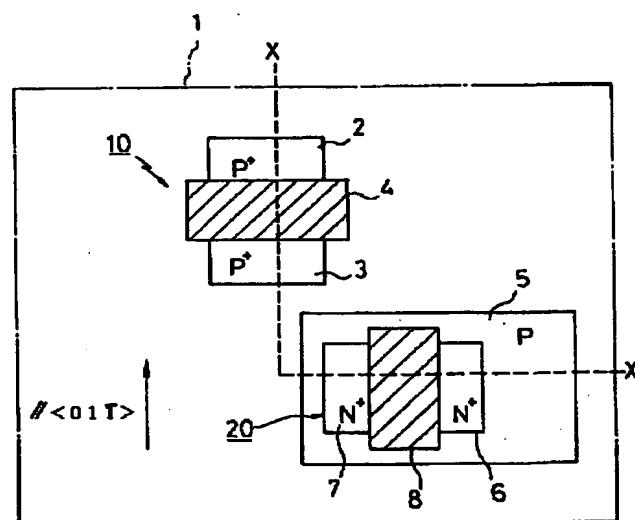
(21)出願番号 (22)出願日	特願平3-17916 平成3年(1991)2月8日	(71)出願人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地 (72)発明者 クライソン トロンナムチャイ 神奈川県横浜市神奈川区宝町2番地 日産 自動車株式会社内 (74)代理人 弁理士 三好 保男 (外4名)
---------------------	------------------------------	---

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 この発明は、負荷に対する電流駆動能力を高め、またCMOS回路に応用したとき面積を小さくすることを目的とする。

【構成】 半導体基板1の表面は(011)面であり、PチャネルMOSFET10を流れる主電流成分がNチャネルMOSFET20を流れる主電流成分に直交することを特徴とする。



【特許請求の範囲】

【請求項1】 同一の半導体基板上にPチャネルMOSFETとNチャネルMOSFETとを形成してなる半導体装置において、前記半導体基板の表面は(011)面であり、前記PチャネルMOSFETとNチャネルMOSFETとは該PチャネルMOSFETを流れる主電流成分が該NチャネルMOSFETを流れる主電流成分に直交するように形成してなることを特徴とする半導体装置。

【請求項2】 前記PチャネルMOSFETとNチャネルMOSFETとは、該PチャネルMOSFETを流れる主電流成分が前記半導体基板の<011▲バー▼>方向に平行し、該NチャネルMOSFETを流れる主電流成分が前記半導体基板の<011▲バー▼>方向に直交するように形成してなることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、PチャネルMOSFET、NチャネルMOSFET(以下、PMOS、NMOSのように云う)を備えた半導体装置に関し、特に負荷に対する電流駆動能力を向上させたものである。

【0002】

【従来の技術】 まず、図5を用いて、2組のPMOS、NMOS対を使って負荷であるDCモータを正逆転できる従来のHブリッジ型モータ制御回路から説明する。電源端子31とDCモータ32の両端との間に2個のPMOS60、80が並列に接続され、またDCモータ32の両端とアースとの間に2個のNMOS70、90が並列に接続されている。そして、PMOS60とNMOS70とがターンオンされると図のA方向に電流が流れてDCモータ32が正転する。また、PMOS80とNMOS90とがターンオンされると電流はB方向に流れてDCモータ32は逆転する。このHブリッジ型モータ制御回路を流れる電流は、60-70、80-90のようにならざる1組のPMOS、NMOS対を通って流れる。

【0003】 このように、電流がならざる電源・アース側*

*間のスイッチ素子対を流れるような回路は、ブッシュ・プール型回路と呼ばれ、Hブリッジ型の回路以外に、例えば3相モータの駆動回路やインバータ回路等がある。

【0004】 ところで、上述のように、複数個のMOSFET等を必要とする回路において、それらのMOSFETを同一の半導体基板上に形成するいわゆるモノリシック化することによって信頼性が向上し、コストが低減されることは従来から知られてる。また、モノリシック化する際の半導体基板としては、一般に、その表面が

10 (100)面のものが用いられている。これは、(100)面の電子表面移動度が他の面よりも高い、(100)面のSiO₂膜との界面準位密度が低い、従来から(100)面が使われているのでデータがよく揃っている等がその理由である。

【0005】 図6は、同一の半導体基板上に、前述のPMOS60、NMOS901対をモノリシック化した従来の半導体装置の例を部分的に示している。半導体基板21は、表面が(100)面のものが用いられ、P⁺ソース領域22、P⁺ドレイン領域23及びゲート絶縁膜上に形成されたゲート電極等によりPMOS60が構成されている。また、半導体基板21の主面にはPウェル25が形成され、このPウェル25内のN⁺ソース領域26、N⁺ドレイン領域27及びゲート絶縁膜上に形成されたゲート電極28等によりNMOS90が構成されている。PMOS60とNMOS90とは、PMOS60を流れる電流とNMOS90を流れる電流とが同一方向となるように配置されている。

【0006】 ところで、文献(「電子材料シリーズ V LSIデバイスの物理」岸野正剛、小柳光正共著、丸善株式会社、1986、p. 145)に半導体の結晶面方位と電子・正孔の表面移動度の関係が示されており、それによると、(100)、(111)、(011)各面の表面電子・正孔移動度及びそれぞれの面上のNMOS、PMOSのチャネル抵抗が表1のように示されている。

【0007】

【表1】

結晶面	(100)	(111)	(011) // <011>	(011) // <011>
電子表面移動度(cm ² /V sec)	436	333	230	291
正孔表面移動度(cm ² /V sec)	95	135	230	155
N型MOSFETのチャネル抵抗	R	1.3R	1.9R	1.5R
P型MOSFETのチャネル抵抗	4.6R	3.2R	1.9R	2.8R

【0008】 表1において、NMOS、PMOSのチャネル抵抗は、それぞれ電子・正孔の表面移動度に反比例

すると仮定し、チャネル抵抗値は(100)面上のNMOSのチャネル抵抗値と対比して示されている。また、

(011)面については、電流の流れる方向によって表面移動度が異なる値を示すので表1には(011)面上において電流が<011▲バー▼>方向に平行及び直交して流れたときの表面移動度が示されている。

【0009】表1からも(100)面上では電子表面移動度が高く、(100)面上のNMOSのチャネル抵抗は低くなることが分る。

【0010】しかし、図6に示したように、同一の半導体基板上にPMOSとNMOSとをモノリシック化する際、その半導体基板として表面が(100)面のものを用いると、正孔の表面移動度が低くなるのでPMOSのチャネル抵抗が高くなるという問題がある。そして、このような半導体装置で図5に示したHブリッジ型モータ制御回路を構成すると、モータ駆動時のスイッチの合計オン抵抗は、PMOSとNMOSの両チャネル抵抗を加えた値となる。表1によるとその値は5.6Rと大きくなる。合計オン抵抗が大きくなると負荷に対する電流駆動能力が低下し、その結果、スイッチ素子の発熱が大きくなる等の問題がある。

【0011】一方、表1によると、(111)面でのPMOSとNMOSの合計チャネル抵抗は(100)面上でのそれよりも小さい。(111)面は、初期のPチャネルエンハンスマント形MOSFET集積回路の基板として用いられていたことなどから、表面が(111)面の半導体基板を、表面(100)面の半導体基板の代りに用いて上述の問題を或程度改善できることは容易に予想できる。

【0012】さらに、表1によると(011)面を用いたときのPMOSとNMOSの合計チャネル抵抗は電流の向きに関係なく(111)面を用いたときよりも小さい。半導体基板の(011)面上にPMOSとNMOSとをモノリシック化した従来の半導体装置として文献(「Fully Symmetric Cooled CMOS on (100) Plane」、M. Aoki、K. Yano、T. Masuhara、K. Shimohigashi、IEEE Trans. on Electron Dev., vol. IE-ED, No. 8, Aug. 1989, pp. 1429~1433)に記載されているものがある。この半導体装置では、半導体基板の(011)面上に平行して形成されたPMOSとNMOSとによりCMOSインバータが構成されている。この半導体装置では、PMOSとNMOSとを平行して配置することにより、両MOSの表面移動度を等しくすることにある。しかし、文献中には、電流の向きによる表面移動度の差についての記述はない。PMOSとNMOSの表面移動度を等しくするためには、PMOSとNMOSの電流が両方とも<011▲バー▼>方向に平行する方向に向って流れるようすればよいので、上述のようにPMOSとNMOSとが平行して配置されているものと考えられる。

【0013】

【発明が解決しようとする課題】半導体基板の(011)面上に、PMOSとNMOSとをその各電流が<011▲バー▼>方向に平行する方向に配置した従来の半導体装置では、表1によると、(011)面上の<011▲バー▼>方向に平行する方向の正孔表面移動度が<011▲バー▼>方向に直交する方向のそれより高く、<011▲バー▼>方向に平行する方向の電子表面移動度が<011▲バー▼>方向に直交する方向のそれよりも低い。このため、PMOSとNMOSを流れる各電流が平行していると合計チャネル抵抗が高くなり負荷に対する電流駆動能力が低くなってしまう。また、CMOS回路に応用した場合、それぞれのMOSFETを形成するのに必要な面積は正孔、電子の表面移動度に反比例し、PMOS、NMOSのチャネル抵抗に比例することから、面積が小さくならない。

【0014】そこで、この発明は、PチャネルMOSFETとNチャネルMOSFETの合計チャネル抵抗を小さくして負荷に対する電流駆動能力を高めることができ、またCMOS回路に応用した場合、その面積を小さくすることのできる半導体装置を提供することを目的とする。

【0015】

【課題を解決するための手段】上記課題を解決するために、この発明は第1に、同一の半導体基板上にPチャネルMOSFETとNチャネルMOSFETとを形成してなる半導体装置において、前記半導体基板の表面は(011)面であり、前記PチャネルMOSFETとNチャネルMOSFETとは該PチャネルMOSFETを流れる主電流成分が該NチャネルMOSFETを流れる主電流成分に直交するように形成してなることを要旨とする。

【0016】第2に、上記第1の構成において、前記PチャネルMOSFETとNチャネルMOSFETとは、該PチャネルMOSFETを流れる主電流成分が前記半導体基板の<011▲バー▼>方向に平行し、該NチャネルMOSFETを流れる主電流成分が前記半導体基板の<011▲バー▼>方向に直交するように形成してなることを要旨とする。

【0017】

【作用】上記構成により、正孔、電子の表面移動度の組合せ値が最適化され、PチャネルMOSFETとNチャネルMOSFETの合計チャネル抵抗が小さくなつて負荷に対する電流駆動能力が高められる。また、CMOS回路に応用した場合、面積が小さくなる。

【0018】

【実施例】以下、この発明の実施例を図面に基づいて説明する。

【0019】図1及び図2は、この発明の第1実施例を示す図である。

【0020】まず、半導体装置の構成を説明すると、1

は表面が(011)面のN形半導体基板であり、その正面には、P⁺ソース領域2、P⁺ドレイン領域3及びゲート絶縁膜上に形成されたゲート電極4等によりPMOS10が構成されている。また、N形半導体基板1の正面には、Pウェル5が形成され、そのPウェル5内のN⁺ソース領域6、N⁺ドレイン領域7及びゲート絶縁膜上に形成されたゲート電極8等によりNMOS20が構成されている。PMOS10のP⁺ソース領域2とP⁺ドレイン領域3とは、N形半導体基板1の<011▲バー▼>方向に平行した方向に向い合うように配置され、NMOS20のN⁺ソース領域6とN⁺ドレイン領域7とは、N形半導体基板1の<011▲バー▼>方向に直交した方向に向い合うように配置されている。

【0021】上述の半導体装置は、公知のN形半導体基板PウェルCMOSのプロセスによって製造することができる。

【0022】次に、上述のように構成された半導体装置の作用を説明する。いま、この実施例の半導体装置で前記図5に示したHブリッジ型モータ制御回路を構成した場合を考えると、PMOS10の電流は、P⁺ドレイン領域3からP⁺ソース領域2へ<011▲バー▼>方向に平行に流れる。また、NMOS20の電流は、N⁺ドレイン領域7からN⁺ソース領域6へ<011▲バー▼>方向に直交した方向に流れる。前記表1によると、この組合せの合計チャネル抵抗は3.4Rとなって、(100)面基板、(111)面基板、又は(011)面基板上にPMOSとNMOSの両電流が平行して流れる場合のどの合計チャネル抵抗よりも低くなる。したがって、負荷に対する電流駆動能力が向上し、またHブリッジ型回路の合計スイッチ抵抗が減少して発熱、スイッチ損が減少する。

【0023】また、この実施例の半導体装置をCMOS回路に応用した場合は、次のような作用、効果が得られる。即ち、一般的にCMOS回路を設計するとき、PMOSとNMOSの電流駆動能力を等しくするため、PMOSとNMOSのチャネル幅をそれぞれ正孔、電子の表面移動度に反比例するように設計する。したがって、それぞのMOSFETを形成するのに必要な面積は、チャネル幅に比例し、正孔、電子の表面移動度に反比例することから前記表1中のPMOS、NMOSのチャネル抵抗に比例することになる。このことから、表面が(011)面の半導体基板1を用い、PMOS10はその主電流成分が<011▲バー▼>方向に平行するように配置し、NMOS20はその主電流成分が<011▲バー▼>方向に直交するように配置することにより、CMOS回路を形成するのに必要な面積、即ちPMOS10とNMOS20を形成するのに必要な面積の和を小さくできる。図3には、この発明の第2実施例を示す。

【0024】この実施例は、負荷に対する電流駆動能力をさらに高めるため、チャネル幅を長くしてストライプ

型パワーMOSFETとしたものである。P⁺ソース領域12、P⁺ドレイン領域13及びゲート絶縁膜上に形成されたゲート電極14等によりPMOS30が構成されている。また、図示省略のPウェル内のN⁺ソース領域16、N⁺ドレイン領域17及びゲート絶縁膜上に形成されたゲート電極18等によりNMOS40が構成されている。前記第1実施例と同様に、PMOS30のP⁺ソース領域12とP⁺ドレイン領域13とは、基板1の<011▲バー▼>方向に平行した方向に向い合うように配置され、NMOS40のN⁺ソース領域16とN⁺ドレイン領域17とは、基板1の<011▲バー▼>方向に直交した方向に向い合うように配置されている。

【0025】また、パワーMOSFETの場合は、IC用等の一般的MOSFETより大電流をスイッチする必要があり、2次降伏に対して強いことが要求されている。このため、2次降伏に強くなるようにNウェルコンタクト領域15及びPウェルコンタクト領域19が設けられている。

【0026】この実施例のストライプ型パワーMOSFETは、前記第1実施例と同様のCMOSプロセス、又はパワーMOSFETの製造方法としてよく用いられる二重拡散法等によって製造することができる。

【0027】Hブリッジ型モータ制御回路に応用した場合の基本的な作用は前記第1実施例のものとほぼ同様であるが、負荷に対する電流駆動能力を一層高めることができる。

【0028】図4には、この発明の第3実施例を示す。

【0029】この実施例は、前記第2実施例の変形例に相当し、チャネル幅をさらに長くするためにソース領域、ドレイン領域のストライプが分割されてチャネル密度を高める工夫が施されている。

【0030】図4には、NMOS50のみが示されている。16a、16bは分割されたN⁺ソース領域、17a、17bは分割されたN⁺ドレイン領域、18aはゲート絶縁膜上に形成されたゲート電極である。PMOSの平面パターンについては、上記NMOS50の形状と類似する形状を90°回転したパターンとなる。

【0031】ソース領域、ドレイン領域をセル分割すると電流の流れが複雑化し、一方向に流れなくなる。例えば、図4ではQ、R、Tの各方向に電流が流れる。しかし、T方向に直交しているソース領域とドレイン領域の対向面が他の方向の対向面よりも幅が広いので主電流はT方向に流れる。したがってNMOS50の主電流は、基板の<011>方向に直交した方向に流れることになる。この結果、基本的には、前記第2実施例とほぼ同様の作用が得られ、負荷に対する電流駆動能力がさらに高められる。

【0032】なお、上述の各実施例においてPMOSとNMOSの平面パターンは類似のパターンとしたが、これに限定されることなく、PMOSとNMOSの各主電

7

流の方向が所定方向に規定できれば両MOSのパターンは類似させる必要はない。実際には、P形不純物とN形不純物の拡散速度の違い等に合せてPMOS、NMOSそれぞれのパターン形状を設計することが必要である。

【0033】

【発明の効果】以上説明したように、この発明によれば、半導体基板の表面を(011)面とし、PチャネルMOSFETとNチャネルMOSFETとはPチャネルMOSFETを流れる主電流成分がNチャネルMOSFETを流れる主電流成分に直交するように形成したため、正孔、電子の表面移動度の組合わせ値を大きくすることができてPチャネルMOSFETとNチャネルMOSFETの合計チャネル抵抗を小さくすることができる。したがって負荷に対する電流駆動能力を高めることができる。また、CMOS回路に応用した場合、その面積を小さくすることができる。

【0034】特に、PチャネルMOSFETとNチャネルMOSFETとを、PチャネルMOSFETを流れる

主電流成分が半導体基板の<011▲▼>方向に平行し、NチャネルMOSFETを流れる主電流成分が半導体基板の<011▲▼>方向に直交するように形成したときは、正孔、電子の表面移動度が最適値となって、上記の効果を一層高めることができる。

【図面の簡単な説明】

【図1】この発明に係る半導体装置の第1実施例を示す平面図である。

10

【図2】図1のX-X線断面図である。

【図3】この発明の第2実施例を示す平面図である。

【図4】この発明の第3実施例を示す平面図である。

【図5】従来の半導体装置を用いたHブリッジ型モータ制御回路を示す回路図である。

【図6】従来の半導体装置を示す平面図である。

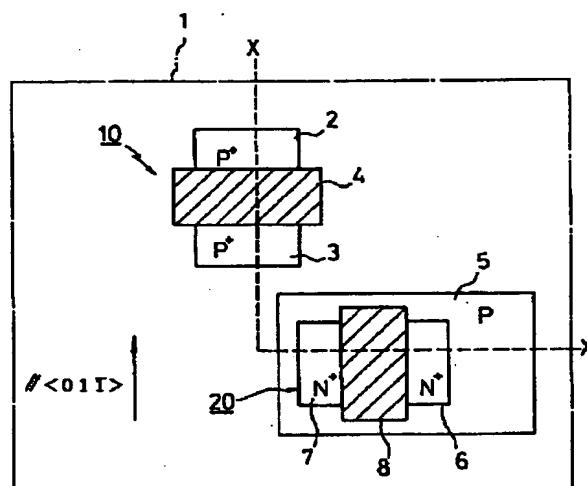
【符号の説明】

1 半導体基板

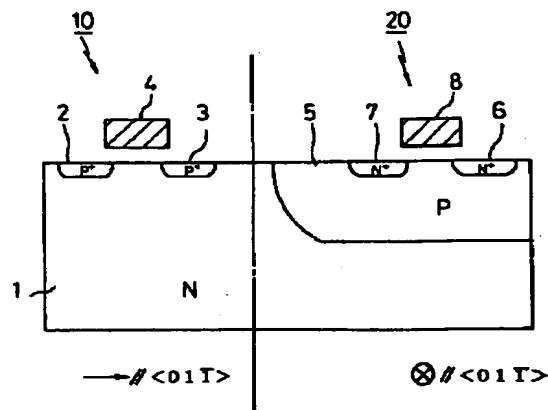
10, 30 PチャネルMOSFET

20, 40, 50 NチャネルMOSFET

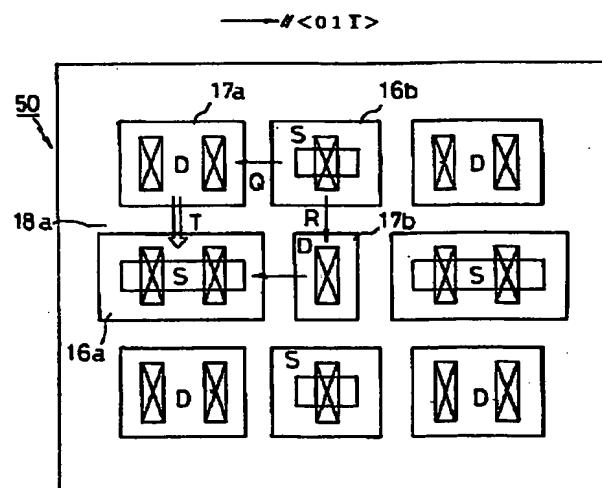
【図1】



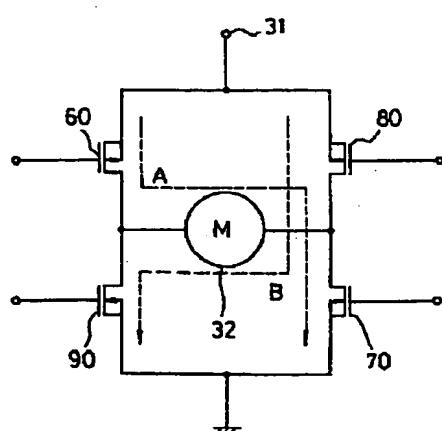
【図2】



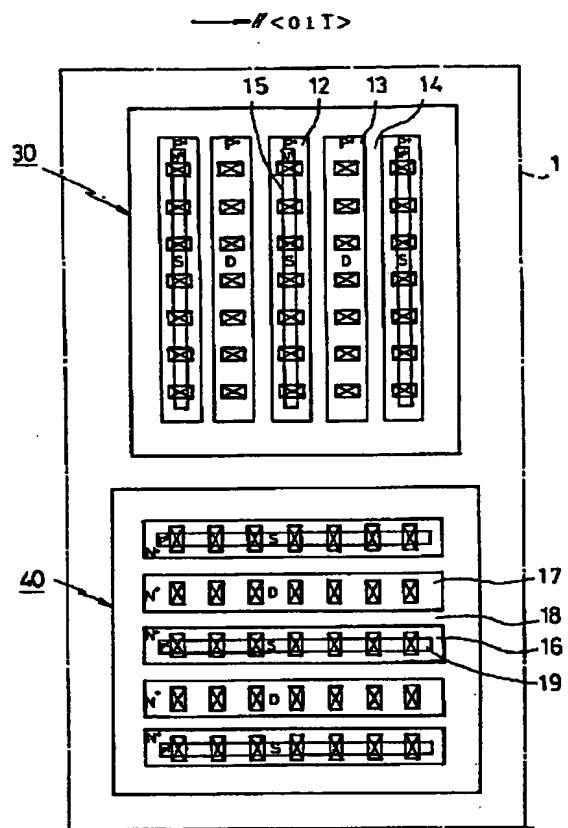
【図4】



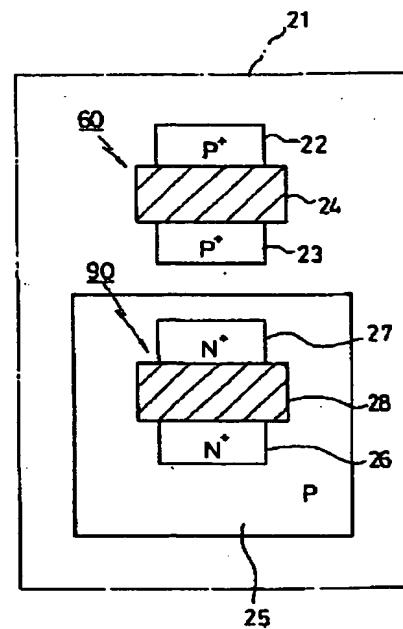
【図5】



【図3】



【図6】



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-231088

(43)公開日 平成7年(1995)8月29日

(51)Int.Cl.⁶

H 0 1 L 29/78

識別記号

府内整理番号

F I

技術表示箇所

7514-4M

H 0 1 L 29/78

3 0 1 G

審査請求 未請求 請求項の数3 OL (全5頁)

(21)出願番号 特願平6-20904

(22)出願日 平成6年(1994)2月18日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 クライソン トロンナムチャイ

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(74)代理人 弁理士 中村 純之助 (外1名)

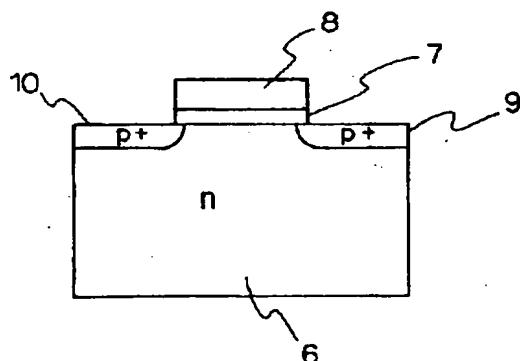
(54)【発明の名称】 MIS形電界効果トランジスタ

(57)【要約】

【目的】ゲート絶縁膜に用いる絶縁材料を吟味して、ゲートの駆動能力を高めたMISFETを提供することにある。

【構成】ゲート絶縁膜に、比誘電率 ϵ と破壊電界Eとの積 $\epsilon \cdot E$ が50MV/cmよりも大きい高誘電率材料となる膜、又は、高誘電率材料と膜厚100Å以下のSiO₂よりなる複合積層膜を用い、チャネルが形成されるSi基板面の面方位を(110)とし、かつ、チャネル内を電界によって移動するキャリヤは正孔となるようにした。高誘電率材料にはTa₂O₅又は(Ba_{1-x}Sr_x)TiO₃又はPbZr_{1-x}Ti_xO₃を用いる。

図1



6 … (110)方位のSi基板

7 … 本発明に係る高誘電率材料よりなるゲート絶縁膜

8 … ゲート

9 … ソース

10 … ドレイン

【特許請求の範囲】

【請求項1】S i 基板表面上にゲート絶縁膜を介してゲート電極を配設し、このゲート電極に電圧を印加することによって、ゲート絶縁膜の下のS i 基板面にチャネルが誘起され、チャネルを隔てて対向するソース、ドレイン両電極間に電流が流れ制御されるM I S形電界効果トランジスタにおいて、ゲート絶縁膜に、比誘電率 ϵ と破壊電界Eとの積 ϵE が50MV/cmよりも大きい高誘電率材料よりなる膜を用い、且つ、チャネルが形成されるS i 基板面の面方位が(110)であって、チャネル内を電界によって移動するキャリヤは正孔となるように構成したことを特徴とするM I S形電界効果トランジスタ。

【請求項2】ゲート絶縁膜は高誘電率材料と膜厚100Å以下のS i O₂とよりなる複合積層膜であることを特徴とする請求項1記載のM I S形電界効果トランジスタ。

【請求項3】高誘電率材料はTa₂O₅又は(Ba_{1-x} Sr_x)TiO₃又はPbZr_{1-x}Ti_xO₃であることを特徴とする請求項1記載のM I S形電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ゲート絶縁膜に用いる絶縁材料を吟味して、ゲートの駆動能力を高めたM I S形電界効果トランジスタ(以後M I S F E Tと呼ぶ)に関する。

【0002】

【従来の技術】従来の技術によるM I S F E Tの例には、図6に示すようなものがある。この図はゲート絶縁膜1にS i酸化膜Oを用いたn形のMOS F E Tを示しており、その構成を説明すると、p形で(100)方位を有するS i基板1の表面上に、熱酸化法などにより所定厚みのS i O₂膜2が形成されており、このゲート絶縁膜の上に多結晶S iなどで形成されたゲート3が配設されている。ゲート3の下のチャネルが誘起される部分を挟んで、n形のソース4とドレイン5が対向してS i基板1の表面に形成されている。

【0003】ゲート3に電圧を印加すると、ゲート電界によってゲート3直下のS i基板1の面に電子が集まってチャネルを形成する。このチャネルを通ってドレイン電流が流れる。このときの抵抗は、チャネル中の電子の移動度によって決まる。S i基板は、(100)方位の面の電子の移動度が最も高いので、従来からS i基板1の(100)方位の面にチャネルを形成させることができていた。しかし、チャネルの抵抗は、移動度の他にゲート電界の関数にもなっており、ゲート電界が高いほど抵抗が小さくなる。従って、チャネル抵抗を小さくするにはゲート電界と移動度の双方の影響を勘案しなければならない。実際には、ゲート電界が強くなると、表面

拡散の影響を受けて電子の移動度が低下する。図2は、縦軸に移動度をcm²/Vsで、横軸に実効垂直電界をMV/cmで現わして、移動度と実効垂直電界との関係を示す図である。但し、実効垂直電界E_{eff}は次式によって表され、ゲート電界E_{ox}の一次関数になっている。

【0004】

【数1】

$$E_{eff} = \frac{Q_d}{\epsilon_{Si} \epsilon_0} - \eta \frac{E_{ox}}{\epsilon_{Si}} \frac{V_{th}}{t_{ox}} + \eta \frac{\epsilon_{ox}}{\epsilon_{Si}} E_{ox} \quad \dots \dots (1)$$

【0005】ここでQ_dは空乏層電荷、 ϵ_{Si} はS iの比誘電率(=11.9)、 ϵ_{ox} はS i O₂の比誘電率(=3.9)、 ϵ_0 は真空の比誘電率(=8.85×10¹²F/m)、V_{th}は閾値電圧、t_{ox}はゲート酸化膜の厚みである。また η は定数で(100)方位の電子の場合では1/2、(110)方位の場合では1/3の値をとる。

【0006】ゲート電界を高くすると実効垂直電界が高くなり、その結果、移動度が低下する。ゲート電界が高い場合には式(1)の右辺第1および第2項が第3項に比べて無視できるので次式が成立する。

【0007】

【数2】

$$E_{eff} = \eta \frac{\epsilon_{ox}}{\epsilon_{Si}} E_{ox} \quad \dots \dots (2)$$

【0008】図2から(100)方位の面の電子の方が(110)方位の面の正孔よりも移動度が急激に低下することが判る。特に実効垂直電界が1.4MV/cm以上になると(110)方位の面の正孔の方が(100)方位の面の電子よりも移動度が高くなることが予想される。そこでチャネルが形成される面の方位を(110)にすることが考えられる。

【0009】なお、図2の出典は「ウルトラロウオンレジスタンスピーチャネルラテラルデイモスマブリケイティッドオン(110)オリエンティッドシリコンサブストレイト」、クライソントロンナムチャイ、デバイスリサーチコンファレンス、1993、セッションヴィエイ("Ultra-LowOn-Resistance P-channel Lateral DMOS Fabricated on (110)-Oriented SiSubstrate", K. Throngnumchai, Device Research Conference, 1993, sessionVA)である。

【0010】

【発明が解決しようとする課題】先に図2に関連して、(110)方位のS i基板面での正孔の移動度は、実効垂直電界が高くなても、(100)方位のS i基板面での電子の移動度のように急激には低下せず、実効垂直電界が1.4MV/cm以上になると、(110)方位のS i基板面での正孔の移動度の方が、(100)方位のS i基板面での電子の移動度よりも高くなり、(110)方位のS i基板面での正孔の移動度が高いことを利用したF E Tが考えられると述べたが、S i酸化膜の誘

電率は3.9であって比較的小さく、外部から高い電界を印加した場合、誘電分極によって内部の電界が十分には低くならない。また、Si酸化膜の破壊電界Eは10MV/cm程度である。すなわち、(110)方位のSi基板表面での実効垂直電界を、上記(2)式により計算して、

$$(1/3) \times (3.9/11.9) \times 10 = 1 \text{ MV/cm}$$

以上に高めようとしても、Si酸化膜は実効垂直電界が1MV/cm程度に達したところで絶縁破壊してしまうので、ゲート絶縁膜としてSi酸化膜を用いる限り、

(110)方位のSi基板面での正孔移動度が、(100)方位のSi基板面での電子移動度よりも高くなる現象を利用することはできないという問題が生ずることになる。

【0011】本発明は上記従来の問題を解決して、ゲートの駆動能力を高めたMISFETを提供することを課題とする。

【0012】

【課題を解決するための手段】上記課題を解決するためには本発明においては、Si基板表面上にゲート絶縁膜を介してゲート電極を配設し、このゲート電極に電圧を印加することによって、ゲート絶縁膜の下のSi基板面にチャネルが誘起され、チャネルを隔てて対向するソース、ドレイン両電極間に電流が流れ制御されるMISFETにおいて、ゲート絶縁膜に、比誘電率εと破壊電界Eの積εEが50MV/cmよりも大きい高誘電率材料よりもなる膜を用い、且つ、チャネルが形成されるSi基板面の面方位が(110)であって、チャネル内を電界によって移動するキャリヤは正孔となるように構成することにした。なお、ゲート絶縁膜として、高誘電率材料と膜厚100Å以下のSiO₂よりもなる複合積層膜を用いても良い。このような高誘電率材料として、Ta₂O₅または(Ba_{1-x} Sr_x)TiO₃またはPbZr_{1-x}Ti_xO₃を用いる。

【0013】

【作用】ゲート絶縁膜として上記のような高誘電率材料よりもなる膜を用いれば、外部から電界を印加したとき誘電分極によってゲート絶縁膜内部の電界が小さくなり、その値が其の高誘電率材料の破壊電界より小さければ絶縁破壊に至らない。したがって、従来のようにゲート電極の効きを良くするためにゲート絶縁膜の膜厚を製作が困難になるほど薄くしなくとも、ゲート絶縁膜を高誘電率材料で形成すれば、ゲートの駆動能力を相当に高くすることができる。このようにすれば、実効垂直電界が1.4MV/cmよりも高い領域では、Si基板の(110)方位の面内での正孔の移動度の方が(100)方位の面内での電子の移動度よりも高くなるという現象を利用したFETの製作を実現することができるようになる。

【0014】

【実施例】以下、この発明を図面に基づいて更に詳細に説明する。図1は本発明の第1実施例図である。まず構成を説明すると、n形を有する(110)方位のSi基板6の表面上に、CVD法などによって、所定の厚みを有するTa₂O₅よりもなるゲート絶縁膜7が形成され、更に、このゲート絶縁膜の上に、多結晶Siなどよりもなるゲート8が形成されている。また、Si基板6の表面上に、ゲート絶縁膜7の下のチャネルとなる部分を挟んで、p形のソース8とドレイン9が相対向して形成されている。なお、此の図では、断面にハッチングを施すと、かえって見難くなるのでハッチングを省略した。以後の各図についても同様である。

【0015】既に図2について説明したように、Si基板の面方位が(110)のものを用い、ゲート絶縁膜を介して高い電界を印加することによって、正孔の移動度を、Si基板の面方位が(100)の場合の電子の移動度よりも大きくすることができる。また文献「インフルエンス オブ SiO₂ アット ザ Ta₂O₅/Si インターフェイス オン ダイエレクトリック キャラクタリスティクス オブ Ta₂O₅ キャバシタズ」("Influence of SiO₂ at the Ta₂O₅/Si interface on dielectric characteristics of Ta₂O₅ capacitors")、ワイ.ニシオカ、エチ.シンリキ アンド ケイ.ムカイ、ジャーナル オブ アプライドフィジクス (J. Appl. Phys.), No 61, 卷6, 3月15日, 1987年刊の頁2335~2338によると、Ta₂O₅の比誘電率εは22で、また破壊電界Eとεとの積εEは120MV/cmである。従ってゲート絶縁膜にTa₂O₅を用いれば、実効垂直電界E_{eff}を最大(1/3) × (120/11.9) = 3.4MV/cmまで高くできる。その結果、(110)方位のSi基板面上での正孔の移動度を、(100)方位のSi基板面上での電子の移動度よりも高くできる。

【0016】以上、ゲート絶縁膜をTa₂O₅で形成した例について説明してきたが、高誘電率材料はTa₂O₅に限定されるわけではない。εEの積が50MV/cm以上であれば他の誘電体材料でも同様な効果を得ることができる。そのような材料としては、たとえばBSTと呼ばれている(Ba_{1-x} Sr_x)TiO₃やPZTと呼ばれているPb(Zr_{1-x} Ti_x)O₃などの高誘電率材料がある。

【0017】以上のような単層膜以外に、例えばその膜厚が100Å以下の薄いSiO₂膜とTa₂O₅などの高誘電率材料との複合積層膜がある。文献フィジクス オブセミコンダクタ デバイシズ (Physics of Semiconductor Devices)、第2版、S. M. Sze著、ジョン・ワイリー アンド・サンズ (John Wiley & Sons)、1981年刊、406頁によると、100Å以下の薄いSiO₂膜の破壊電界は20MV/cm程度である。その結

5.

果、薄い SiO_2 膜の ϵE は 7.8 MV/cm となる。高誘電率材料との複合積層膜を形成した場合、ほとんどの電界が比誘電率の小さい薄い SiO_2 膜に印加されるために複合膜としての ϵE は薄い SiO_2 膜の ϵE にほぼ等しくなる。その結果、複合膜の ϵE を 5.0 MV/cm より大きくできる。また、薄い SiO_2 の単層膜の場合では、トンネル効果によってゲートのリーク電流が増大するという問題が生ずるが、複合積層膜にすることによって、トンネル効果を抑制することができる。

【0018】図3は本発明の第2実施例図である。この実施例は、本発明を縦形二重拡散MISFETまたはIGBTに適用した例である。その構造を説明すると、ドレイン11を形成させる(110)方位の Si 基板面上に、ドリフト領域12となる領域がエピタキシャル法などで形成されている。ドリフト領域12上に Ta_2O_5 などの高誘電率材料または厚さ 100 \AA 以下の薄い SiO_2 膜と高誘電率材料の複合膜からなるゲート絶縁膜13を介してゲート14が形成されている。さらに二重拡散法によってボディ領域15とソース領域16が形成される。ドレイン11がp形ならば、図示したものはMISFETとなり、ドレイン11がn形ならば電導度変調形電界効果トランジスタ(IGBT)となる。

【0019】第2実施例では第1実施例の場合と同様に、ゲート絶縁膜の ϵE を 5.0 MV/cm にできるために、(110)方位の Si 基板面での正孔移動度を、(100)方位の Si 基板面での電子移動度よりも大きくできる。

【0020】また、図4は本発明の第3実施例図であるが、この実施例は本発明を横形二重拡散MISFETに適用したものである。

【0021】図5は本発明の第4実施例図であって、この実施例は本発明をU溝形MISFETに適用したものである。特に図5に示すように、U溝形MISFETに適用した場合、チャネルが形成される溝の側面を(110)方位にすれば良いので、基板としては従来の表面が(100)方位の Si 基板を用いても差支えない。

【0022】上記各実施例のほか、本発明を集積回路で

6.

用いられるCMOS構造に適用することもできる。

【0023】

【発明の効果】以上説明してきたように、この発明によれば、その構成を、チャネルが形成される Si 基板面の方位を(110)にするとともに、ゲート絶縁膜材料として、 Ta_2O_5 などの高誘電率材料または厚さ 100 \AA 以下の SiO_2 膜と高誘電率材料との複合膜などのように比誘電率と破壊電界の積が 5.0 MV/cm 以上の材料を用いることにしたため、従来から用いられて来た面方位(100)の Si 基板面での電子の移動度よりも、正孔の移動度を大きくすることが可能となって、その結果、オン抵抗、損失を小さくすることができる、すなわちゲートの駆動力を高めるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1実施例の断面図である。

【図2】縦軸に移動度を cm^2/Vs で、横軸に実効垂直電界を MV/cm で現わして、移動度と実効垂直電界との関係を示す図である。

【図3】本発明の第2実施例の断面図である。

【図4】本発明の第3実施例の断面図である。

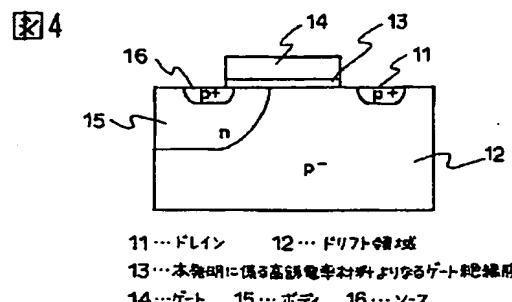
【図5】本発明の第4実施例の断面図である。

【図6】従来の技術によるMISFETの例(ゲート絶縁膜Iに Si_3N_4 膜を用いたn形のMOSFETの例)を示す図である。

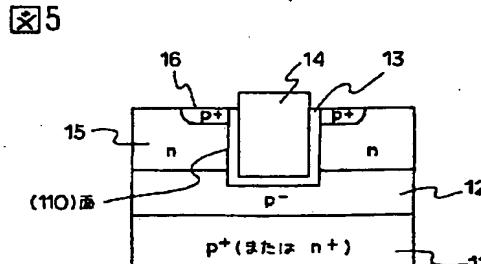
【符号の説明】

1…(100)方位の Si 基板	2… SiO_2 膜
3…ゲート	4…ソース
5…ドレイン	6…面方位(110)
0)の Si 基板	
7…本発明に係る高誘電率材料よりなるゲート絶縁膜	
8…ゲート	9…ソース
10…ドレイン	11…ドレイン
12…ドリフト領域	
13…本発明に係る高誘電率材料よりなるゲート絶縁膜	
14…ゲート	15…ボディ
16…ソース	

【図4】

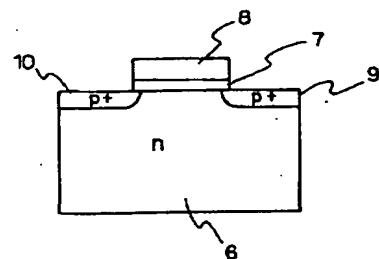


【図5】



【図1】

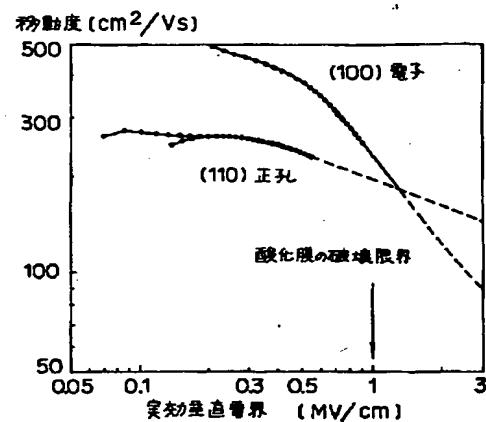
図1



6 … (110) 方位の Si 基板
7 … 本発明に係る高誘電率材料によるゲート絶縁膜
8 … ゲート
9 … ソース
10 … ドレイン

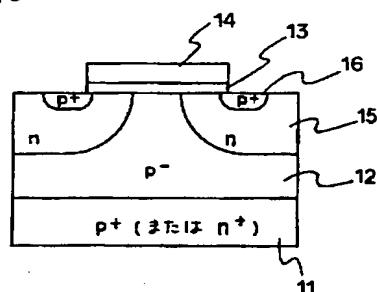
【図2】

図2



【図3】

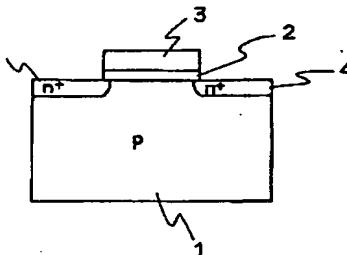
図3



11 … ドレイン
12 … ドライブ領域
13 … 本発明に係る高誘電率材料によるゲート絶縁膜
14 … ゲート
15 … ボディ
16 … ソース

【図6】

図6



1 … (100) 方位の Si 基板
2 … SiO₂ 膜
3 … ゲート
4 … ソース
5 … ドレイン

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.